

## LIQUID CRYSTAL ELECTRO-OPTICAL DEVICE

PUB. NO.: 02-210330 [JP 2210330 A]

PUBLISHED: August 21, 1990 (19900821)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-326552 [JP 89326552]

FILED: December 15, 1989 (19891215)

### ABSTRACT PURPOSE:

To provide other insulation gate type semiconductor device and other inverter and resistance on the same substrate by providing one electrode of a liquid crystal display device on an insulation gate type field effect semiconductor device.

### CONSTITUTION:

On an insulation substrate 1, a first semiconductor (S1)2, an insulation or semi-insulation film 3 of thickness for allowing a tunnel current to flow, a second semiconductor (S2)4, and a third semiconductor (S3)5 having the same conductive type as that of a first semiconductor are laminated. Thereafter, S3 and S2 are eliminated, and also, S1 is formed to an arbitrary prescribed shape, and moreover, thereafter, an insulation film 6 is formed on the whole surface of S1, S2 and S3. Also, an electrode hole 8 and an electrode hole 7 are formed to S1(12) and S3(15), respectively and a metal or a semiconductor layer connected a gate electrode is laminated again. Subsequently, by etching this film, a gate electrode 17 is made, and simultaneously, wiring is executed closely on the surface of the substrate or the insulator 6 to a field effect semiconductor device (IGF), a capacitor and a resistance of the other part through the electrode holes from S1 and S3. In such a way, plural pieces of IGFs, resistances and capacitors can be made on the substrate, especially, the insulation substrate 1.

## ⑫ 公開特許公報(A)

平2-210330

⑬ Int. Cl.<sup>3</sup>G 02 F 1/136  
H 01 L 27/12  
29/784

識別記号

5 0 0

A

庁内整理番号

7370-2H  
7514-5F

⑭ 公開 平成2年(1990)8月21日

8624-5F

H 01 L 29/78

3 1 1 V

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 液晶電気光学装置

⑯ 特 願 平1-326552

⑰ 出 願 昭56(1981)1月9日

⑱ 特 願 昭56-1768の分割

⑲ 発 明 者 山 崎 舜 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑳ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

## 明 細 書

## 1. 発明の名称

液晶電気光学装置

## 2. 特許請求の範囲

1. 絶縁ゲイト型電界効果半導体装置に対して液晶表示装置と電荷蓄積用キャパシタとが並列に接続された構造であって、前記絶縁ゲイト型電界効果半導体装置上に前記液晶表示装置の一方の電極が設けられたことを特徴とする液晶電気光学装置。

2. 特許請求の範囲第1項において、液晶表示装置の一方の電極は、絶縁ゲイト型電界効果半導体装置へ光が照射されないように設けられたことを特徴とする液晶電気光学装置。

## 3. 発明の詳細な説明

本発明は基板上にたてチャネル型の積層型の絶縁ゲイト型半導体装置を設けた液晶電気光学装置に関する。

さらに本発明は基板上の積層型の絶縁ゲイト型電界効果半導体装置のソースまたはドレインに連

結してキャパシタを有せしめた複合半導体装置を設けた液晶電気光学装置に関する。

本発明はかかる複合半導体装置をマトリックス構造に基板上に設け、液晶表示型のディスプレイ装置を設けることを特徴としている。

本発明は表面型の固体表示装置を設ける場合、平行なガラス板内に電極を設けてこの電極間に液晶を注入した液晶表示装置が知られている。しかしこの場合この表示部の絵素数は20~200までが限界であり、それ以上とする場合はこの表示部より外にとり出す端子が絵素の数だけ必要となってしまうため全く実用に供することができなかった。このためこの表示部を複数の絵素とし、それをマトリックス構成させ、任意の絵素を制御してオンまたはオフ状態にするにはその絵素に対応した電界効果半導体装置(IGFという)を必要としていた。そしてこのIGFに制御信号を与えてそれに対応した絵素をオンまたはオフさせたものである。

この液晶表示部はその等価回路としてキャパシ

タ（以下Cという）にて示すことができる。このためIGFとCとを例えば $2 \times 2$ のマトリックス構成(40)せしめたものを第1図に示す。

第1図においてマトリックス(40)はひとつのIGF(10)とひとつのC(31)によりひとつの絵素を構成させている。これを行に(51)、(51')とビット線に連結し、他方ゲイトを連結して列(41)、(41')を設けたものである。

すると、例えば(51)、(41)を"1"とし、(51')、(41')を"0"とすると(1,1)番地のみを選択してオンとし、電氣的にC(31)として等価的に示される液晶表示を選択的にオン状態にすることができる。本発明は同一基板上にデコーダ、ドライバを構成せしめるため、他の絶縁ゲイト型半導体装置(50)および他のインバータ(60)、抵抗(70)を同一基板上に設けることを目的としている。

かくすることにより本発明をその設計仕様に基づいて組合わせることによりブラウン管に代わる平面テレビ用の固体表示装置を作ることができた。

さらにカリキュレータ用の表示装置は $10^2 \sim 10^3$

ヶの絵素を要すればよく、TV用には $10^4 \sim 10^5$ 個例えば $25 \times 10^3$ 個の絵素を同一基板に設け、かつその周辺に必要なデコーダおよびドライバを同時に形成させたIGF、インバータ、抵抗を用いて作ればよいことがわかる。

本発明にかかるシステムを作るために必要な積層型のIGFおよびそれに液晶表示部を連結させた絵素に関するものである。

第2図は本発明の積層型IGFのたての断面図およびその製造工程を示したものである。

図面において絶縁基板例えばガラスまたはアルミナ基板上にP\*またはN\*型の導電型を有する第1の半導体(2)（以下単にS1という）トンネル電流を流しうる厚さの絶縁または半絶縁膜(3)第2の真性またはNまたはP型の半導体(4)（以下単にS2という）、第1の半導体と同一導電型を有する第3の半導体(5)（以下単にS3という）を積層して設けた。

この半導体は基板上にシランのグロー放電法を利用して室温 $\sim 500$ ℃の温度にて設けたもので、

非晶質（アモルファス）または半非晶質（セミアモルファス）構造の珪素半導体を用いている。本発明においてはセミアモルファス半導体（以下SASという）を中心として示す。このSASに関して本発明人の発明になる特許願例えば特願昭55-143885(55.10.15出願)(セミアモルファス半導体)、特願昭55-122786(55.9.4出願)(半導体装置)、特願昭55-026388(55.3.3出願)(セミアモルファス半導体)にその詳細な実施例が示されている。

さらに第2図においてフォトリソグラフィ技術によりS3を選択的に除去し、さらにこのS3をマスクとしてS2を除去した。このフォトリソグラフィの終点をみるため絶縁または半絶縁膜（以下単に絶縁膜という）(13)は窒化珪素をして設けた。

さらにその厚さは5 $\sim$ 30Åのうすさであり、第1の半導体をプラズマ照射にされたアンモニア雰囲気にとさらすことにより成就した。次にこの絶縁膜(13)を化学的に除去した後第2図(B)を得た。

このS3の上にこの後に形成された絶縁膜をさ

らに厚く作するため、あらかじめLPCVD法（減圧気相法）により0.3 $\sim$ 1 $\mu$ の厚さに酸化珪素膜を形成しておいてもよい。またこのS3上にMo、Wを0.2 $\sim$ 0.5 $\mu$ さらにその上にSiO<sub>2</sub>を0.3 $\sim$ 1 $\mu$ とさせてS3の導電率を向上させることはマトリックス化に有効であった。

また第2図(B)において側面は基板(1)表面上に垂直に形成してもよいが、台形上にテーパエッチをしてさらに積層されるゲイト電極の段差部での段切を除去することは効果的であった。

さらに第2図(C)に示される如く、フォトリソグラフィ技術によりS1を任意の所定形状を形成した。図面ではこのため(11)にて基板表面が露光させた。

さらにこの後このS1、S2、S3の表面全体に絶縁膜(6)を形成した。この絶縁膜は13.56MHz $\sim$ 2.45GHzの周波数の電磁エネルギーにより活性化して酸素または酸素と水素との混合気体雰囲気にと100 $\sim$ 700℃に浸して酸化して形成した。

さらにLPCVD法により窒化珪素またはリン

ガラスを形成させた多層構造としてもよい。

するとS 2 (14)の側周辺にはゲイト絶縁物(16)としてこの絶縁物(16)が形成され、S 1、S 3の表面はアイソレーション用被膜として形成させることができた。

さらに(D)に示される如く、第3のフォトリソグラフィ技術によりS 1 (12)に対し電極穴(8)をS 3 (15)に対し電極穴(7)を形成しゲイト電極に連結する金属または半導体層を再度積層した。

次に第4のフォトリソグラフィ技術によりこの膜を選択的にエッチングして、ゲイト電極(17)をゲイト絶縁物(16)、(16')と2方向に設けて作り、同時にS 1 (12)、S 3 (15)より電極穴を介して他部のIGF、キャパシタ、抵抗へ基板表面または絶縁物(6)上に密接して配線させた。

第2図(D)のたて断面図のA-A'を横方向よりみると第2図(E)として示すことができる。番号はそれぞれ対応させている。

本発明の半導体は主としてSASを用い、その中の不対結合手の中和用に水素を用いており、か

～ $100\text{cm}^2\text{V/S}$ と $1/5 \sim 1/100$ である。しかしそれにアモルファス珪素が電子 $0.1 \sim 10\text{cm}^2\text{V/S}$ 、ホールは $0.01\text{cm}^2\text{V/S}$ 以下に比べて $10 \sim 10^3$ 倍も長いことを考えると、本発明の半導体装置にマイクロクリスタル構造を有するSASを用いたことはきわめて重要なことである。

さらに本発明のIGFにおいて、電子移動度がホールに比べて単結晶の3倍よりも大きく $5 \sim 100$ 倍もあるためNチャネル型とするのがきわめて好ましかった。

そのためS 2には不純物を表面部に添加しない真性半導体はN<sup>-</sup>型であるためこれをP型として用いた。

第3図は他の本発明のIGFのたて断面図およびその製造工程を示したものである。

第3図(A)において基板(1)上にSASの珪素膜をS 1 (2)として形成させた。さらにフォトリソグラフィ技術により選択エッチングを行ない、基板(1)の一部(11)を露呈させた。

次にこのSASを結晶化するための光(レーザ

基板と半導体、電極リードが異種材料であり、それらの熱膨張によるストレスを少なくするため、すべての処理を $300 \sim 600^\circ\text{C}$ 以下好ましくは $300^\circ\text{C}$ 以下でするとよかった。

またゲイト電極(17)をS 1、S 3と同一導電型の半導体およびそれにMo等の金属を二重構造とした多層配線構造でもよい。

かくしてソースまたはドレインをS 1 (12)、チャネル形成領域(9)、(9')を有するS 2 (14)、ドレインまたはソースをS 3 (15)により形成せしめ、チャネル形成領域側面にはゲイト絶縁物(16)、(16')その外側面にゲイト電極(17)を設けた積層型のIGF(10)を作ることができた。

この発明においてチャネル長S 2 (14)の厚さで決められ、ここでは $0.05 \sim 0.5 \mu$ とした。それはSASの移動度が単結晶とは異なりその $1/5 \sim 1/100$ しかないため、チャネル長を短くしてIGFとしての特性を助長させることにある。

SASは電子のバルク移動度が $100 \sim 500\text{cm}^2\text{V/S}$ と $1/3 \sim 1/10$ であるのに対し、ホールのそれは5

)アニール、熱アニールまたはこれらを併用してこのSASを単結晶または多結晶構造に変成させた。加熱温度は基板材料での熱ストレスを防ぐため、 $700^\circ\text{C}$ 以下にさせた。

このS 1 (2)は基本的にはS 2、S 3とエッチングレートが変わればよい。このためS 1はPまたはN型の酸素または窒素が添加されて $\text{SiO}_{2-x}$  ( $0.5 < x < 2$ )、 $\text{Si}_3\text{N}_{4-x}$  ( $1 < x < 4$ )の化学量論を有する真性または半絶縁性を有する半導体であってもよい。

第3図(B)に示す如く、この後この上面にS 2 (4)を真性、N<sup>-</sup>またはP型でさらにS 1と同一の導電型にS 3 (5)をPまたはN型に積層して同一反応炉により形成せしめた。

さらに第3図(C)に示す如く、このS 2 (4)、S 3 (5)を概略同一形状に選択的に他部を除去して形成し、S 2 (14)、S 3 (15)をS 1 (12)上に設けた。この後このS 1、S 2、S 3上表面を酸化して絶縁膜(6)として設けた。この時S 2 (14)の側周辺はゲイト絶縁膜(16)として設けられ、他部はアイソ

レイション膜として設けた。

次に第3のフォトリソグラフィ技術を用いて電極穴またはコンタクト部(7)、(8)を用いてその全上表面に半導体または導体の膜を設けた。この膜を第4のフォトリソグラフィ技術により選択的に除去してS1(12)にはその他部への連続電極リード(22)を、S3(15)にはコンタクト(7)を介して同様の電極、リードを設け、またS2(14)の側周辺のチャネル形成領域(9)、(9')の側面のゲイト電極(16)、(16')上にはゲイト電極(17)を構成した。

このようにしてソースまたはドレインをS1(12)によりチャネル形成領域(9)、(9')をS2(14)により、ドレインまたはソースをS3(15)により構成せしめた。ゲイトはゲイト絶縁物(16)、(16')とゲイト電極(17)よりなっている。このようにしてゲイト電極を"1"、ソースまたはドレインを"1"とすると、チャネル形成領域を電流が流れオン状態を、またそれぞれが一方または双方が"0"ならばオフ状態を作ることができた。

"1"はNチャネル型IGFでは正の0.5~10Vの

て複合化すればよく、入力部はゲイト電極(17)に対応して設ければよい。

第4図(A)は他の本発明のたて断面図を示したものである。すなわち基板(1)にS1(12)、S2(14)、S3(15)およびゲイト部がゲイト絶縁物(16)、ゲイト電極(17)によりなっているIGF(10)と、S1(12)でかつ電気系に連結した他部はキャパシタの一方の電極(22)を有し、かつこの他部は液晶表示の一方の電極(32)をも構成させている。すなわちS1はふたつのキャパシタの一方の電極となっている。そしてそのひとつのキャパシタは蓄積容量を大きくとり液晶表示の表示時間を長くするために用いられている。

すなわち第1図において特定のIGFがオン状態となる時間が10~100 n秒であっても、液晶パネルとキャパシタが並列に接続されているため液晶表示はその表示が1~1000 m秒も有するいわゆる残光特性をもたしめることができた。このため蓄積(ストレージ キャパシタ)が大きいと例えばTVのブラウン管に対応する平面パネルでの

電流を、"0"は0Vまたはスレッショルド電圧以下の電流を意味する。

Pチャネル型のIGFはその電極の極性を変えればよい。これらの論理系は第1図、第2図においてもまた以下の第3図または本発明の実施例においても同様である。

また第1図の抵抗(70)は第2図(D)、(E)および第3図(D)においてゲイトに加える電圧に無関係にS2のバルク成分の抵抗率で決められる。すなわちゲイト電極を設けない状態でS1、S2、S3を積層すればよい。またこの抵抗値はS2の抵抗率とその厚さ、基板上にしめる面積で設計仕様に従って決めればよい。

第1図のインバータ(60)においてドライバー(61)は第2図、第3図(D)とし、さらにそのロード(64)はS3(15)、S1(12)の一方とゲイト電極(17)との連結させるエンヘンスメント型またはディプレッション型のIGFとした。

さらにこのインバータ(60)の出力は(62)よりなり、この基板上に離間して2つのIGFを積層し

表示があざやかになり、かつ絵素の数が $10^4 \sim 10^5$ ケになり、それらをデジタル的にスキャンしていても他の絵素に"0"、"1"を表示しつづけることが可能になる。この蓄積容量の有効性は絵素の数が10ケ以上になった際見ている人に目のつかれを覚えさせないために有効である。

またこの蓄積容量のキャパシタはゲイト絶縁物(16)と同一材料としたことにより、同一パッジ式に何らかの新たな工程を必要とせず作ることができた。しかしこの容量を小面積で増加するため、酸化珪素ではなく窒化珪素、酸化タンタルその他強誘電体を用いてもよい。

本発明におけるS1(12)に電気的に接続されている他の電極(32)は電極穴(25)を介して設けられている。これらIGF(10)上にポリイミドまたはPIQ等の層間絶縁物を1~3  $\mu$ の厚さに設け、それを選択的にフォトリソグラフィ技術により設ければよい。この電極(32)がひとつの絵素の大きさを決定する。カリキュレータ等においては0.1~5 mm $\phi$ またはく形を有している。しかし第1

図の如き走査型の方式において、 $1 \sim 50 \mu\text{m}$ をマトリックス状として $500 \times 500$ とした。液晶表示部(31)はこの基板上に半導体装置電極を設けた一方の極と他方をITO等の透明電極(27)を有するガラス板(28)とを $1 \sim 20 \mu\text{m}$ の間げきを有せしめて対応させそこに例えばネマチック型の液晶(26)を注入して設けた。

またディスプレイをカラー表示してもよい。さらに例えばこれらの絵素が三重に重ね合わされてもよい。そして赤緑青の3つの要素を交互に配列せしめればよい。

第4図(A)が蓄積キャパシタと液晶キャパシタで等価回路にて示される液晶とを並列に連結して設けたのに対し、第4図(B)は直列に設けたものである。

すなわちS1(12)に電気的に連結した一方の電極(22)上に誘電膜(23)、他方の電極(24)、さらにこの電極(24)に連結した第2の液晶キャパシタ(31)の一方の電極(32)が開口(25)を介して連結しており、この電極(32)に対応して透明電極による対

抗電極(27)が(26)の誘電体をはさんで設けられている。

第4図(A)(B)で明らかな如く、本発明は基板(1)上に複数のIGFキャパシタ、抵抗または同時にサンドウィッチ構造として液晶表示の平面パネルを設けたことを特徴としている。

さらに図面より明らかな如く、上方よりの光照射に対して、IGF(10)に光が照射して $0^\circ$ 状態の時リークしてしまうことを防止するためこれを上方よりおおい、絵素の一方の電極(32)を設けていることを他の特徴としている。

加えて従来と異なり、絶縁基板上に完全に他の絵素とアイソレートしてIGFを積層型に設けていることはきわめて大きな特徴であり、特にこの全行程を $600^\circ\text{C}$ 以下特に $300^\circ\text{C}$ 以下の温度で作ることが可能であることは、このパネルが大面積としても熱歪の影響を受けにくいという大きな特徴を有している。

加えて本発明に用いた半導体は非単結晶構造を中心としており、特にSASというアモルファス

と単結晶との中間構造であって、かつ $600^\circ\text{C}$ までの熱エネルギーに対して安定なことは本発明の他の特徴である。

特にSASは $10 \sim 100 \text{\AA}$ の大きなマイクロクリスタル構造の格子歪を有する非単結晶半導体であり、その製造には $500\text{kHz} \sim 3\text{GHz}$ の誘導エネルギーを使っても温度が $300^\circ\text{C}$ までで充分であり、加えてその電子・ホール拡散長がアモルファス珪素の $100 \sim 10^3$ 倍も大きいという物性的特性を有している。かかる非単結晶半導体を基板上に積層する構造により、IGFを設けたこと、加えてここを電流がたて方向に流れるためチャンネル長が $0.1 \sim 1 \mu\text{m}$ のマイクロチャンネル型IGFを高精度のフォトリソグラフィ技術を用いずに作ることができることがきわめて大きな特徴である。

さらに本発明においてIGFとしての特性はSASの特性にかんがみ、そのスレッショールド電圧( $V_{th}$ )は例えばドーブをイオン注入法で行なうのではなく、S2に添加する不純物の添加量と加える高周波パワーにより制御する点も特徴で

ある。

そのため耐圧 $20 \sim 30 \text{V}$ 、 $V_{th} = -4 \sim 4 \text{V}$ を $\pm 0.2 \text{V}$ の範囲で制御できた。さらに周波数特性がチャンネル長が $0.1 \sim 1 \mu\text{m}$ のマイクロチャンネルのため、これまでの単結晶型の絶縁ゲート型半導体装置の $1/5 \sim 1/50$ を非単結晶半導体を用いたのにもかかわらず得ることができた。

また逆方向リークではあるが、第1図に示すようなS1とS2との間に窒化珪素を $10 \sim 40 \text{\AA}$ の厚さに挿入することによりこのN<sup>+</sup>-P接合またはP<sup>+</sup>-N接合のリークは逆方向に $10 \text{V}$ を加えても $10 \text{mA}$ 以下であった。これは単結晶の逆方向リークに匹敵する好ましいものであった。

またS1に例えば酸素を $10 \sim 30 \text{mol\%}$ 添加すると、第3図に示した構造においては同様に逆方向にリークが少なく、無添加の場合に比べて $1/10 \sim 1/10$ 倍もリークが少なかった。このリークが少ないことが第1図のマトリックス構造を実施する時きわめて有効であることは当然である。

さらにこの逆方向リークはこの積層型のS1、

S2、S3をとともにアモルファス珪素の半導体の  
みで作った場合、逆方向バイアスを10V加えると  
1mA以上あったが、これをSASとすると5～  
50nAにまで下がった。それはS1、S3のPま  
たはN型の半導体におけるB、Pの不純物が置換  
型に配位し、そのイオン化率が単結晶と同じく4  
N以上となったことおよびその活性化エネルギーも  
アモルファスの場合の0.2～0.3eVより0.005～  
0.001eVと小さくなったことにある。

このため一度配位した不純物が積層中にアウト  
ディフュージョンせず結果として接合がきれいに  
できたことによる。

すなわち本発明は積層型IGFであること、そ  
こに非単結晶半導体を用いたこと、特にSASを  
用いたこと、さらにS1とS2の間の接合を明確  
にするためS1に酸化窒素を同時に添加し主にエ  
ネルギーバンド巾として逆耐圧を上げたこと、また  
は絶縁または半絶縁膜を介在させたSIS接合と  
したことを特徴としている。

さらにかかる積層型のIGFのため従来のよう

に高精度のフォトリソグラフィ技術を用いるこ  
となく、基板特に絶縁基板上に複数のIGF、  
抵抗、キャパシタを作ることが可能になった。そ  
して液晶表示ディスプレイにまで発展させること  
が可能となった。

本発明における半導体は珪素、絶縁体は酸化珪  
素または窒化珪素を用いた。しかし半導体として  
ゲルマニウム、InP、BP、GaAs等を用  
いてもよい。また非単結晶半導体ではなく単結晶  
半導体を、またSASではなくその結晶粒径の大  
きな多結晶半導体であってもよいことはいうまで  
もない。

#### 4. 図面の簡単な説明

第1図は本発明による液晶電気光学装置に用い  
る絶縁ゲート型半導体装置、インバータ抵抗、キ  
ャパシタまたは絶縁ゲート型半導体装置とキャパ  
シタとを絵素としたマトリックス構造の等価回路  
を示す。

第2図、第3図は本発明による液晶電気光学装  
置に用いる積層型絶縁ゲート型半導体装置の工程

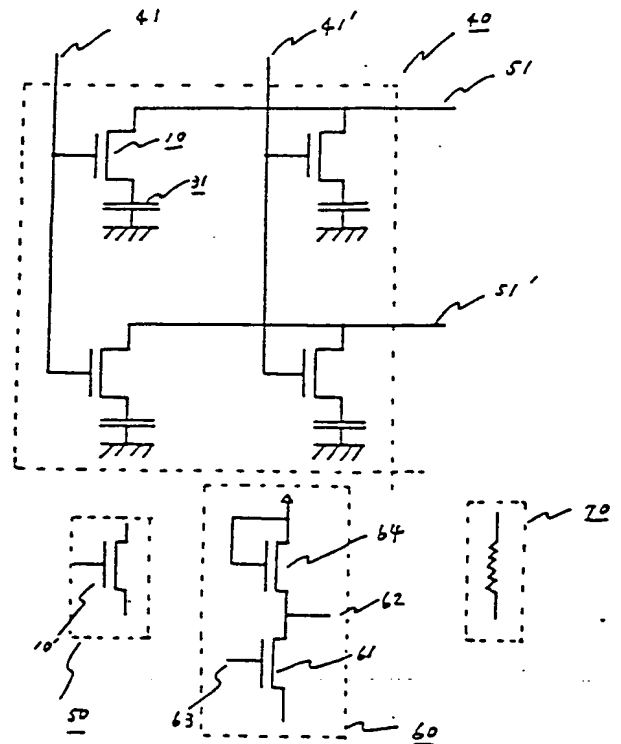
を示すたて断面図である。

第4図は本発明の積層型絶縁ゲート型半導体装  
置とキャパシタまたは液晶とを一体化した平面デ  
ィスプレーを示す複合半導体のたて断面図である。

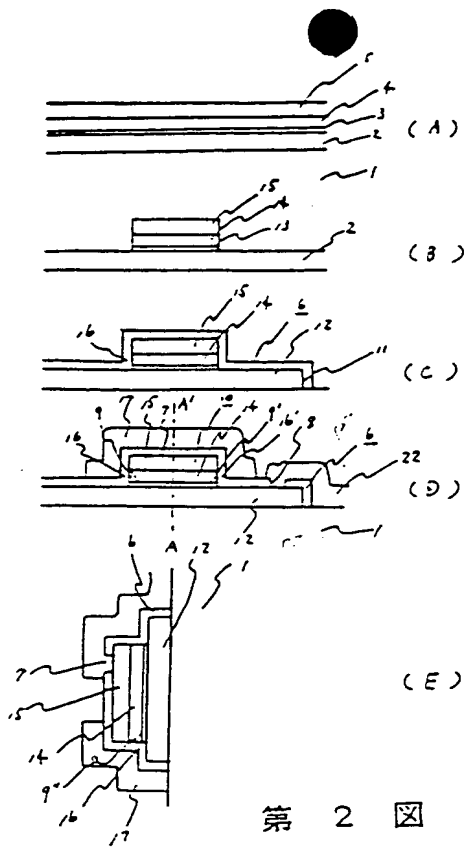
特許出願人

株式会社半導体エネルギー研究所

代表者 山 崎 舜 平

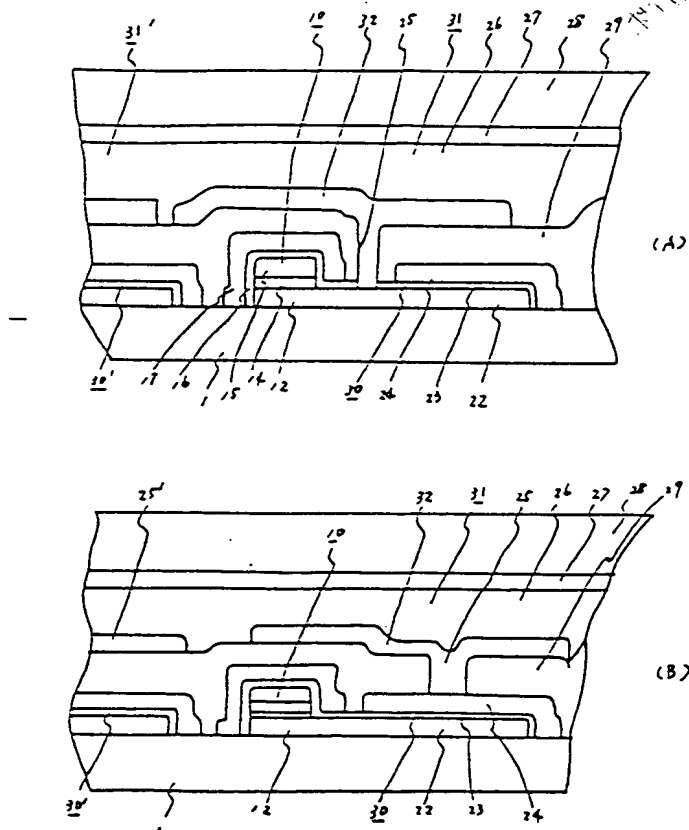
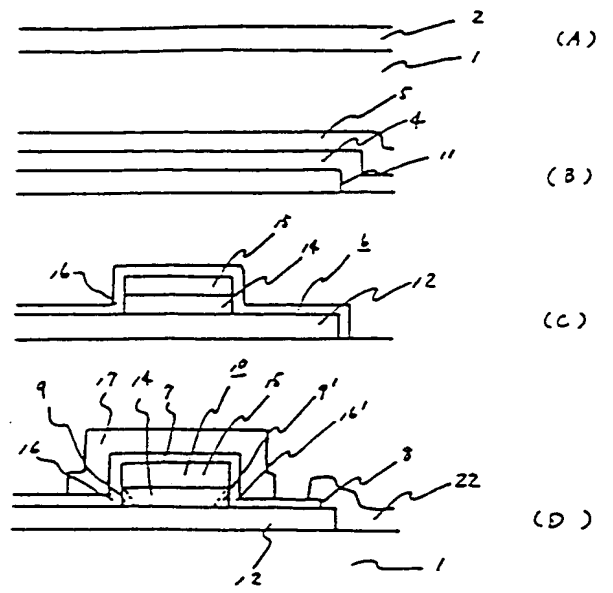


第 1 図



第 2 図

第 3 図



第 4 図



JAPAN PATENT OFFICE (JP)  
PATENT APPLICATION PUBLICATION  
PATENT PUBLICATION OFFICIAL REPORT (A)  
SHO61-141174  
Int. Cl. 4 H 01 L 27/14, H 04 N 5/335  
IDENTIFICATION NUMBER:  
IN-OFFICE SERIAL NUMBER : 7525-5F, 8420-5C  
PUBLICATION: June 28, 1986  
SUBSTANTIVE EXAMINATION: NOT REQUESTED  
THE NUMBER OF INVENTION: 1 (total 4 pages)

---

1. Title of the Invention: Solid state image pickup device  
Patent Application Sho 59-263366  
Application December 13, 1984

2. Inventor(s)  
Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Tetsuyoshi TAKESHITA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Hajime KURIHARA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Hideaki OKA

Address: 3-3-5, Yamato, Suwa-shi  
Suwa Seiko-sha  
Name: Kazumasa HASEGAWA

3. Applicant  
Address: 2-4-1, nishi-shinjyuku, Shinjyuku-ku, Tokyo  
Name: SEIKO EPSON CORPORATION

4. Attorney  
Patent attorney: Tsutomu MOGAMI

## SPECIFICATION

### 1. Title of the Invention

Solid state image pickup device

### 2. Scope of Claim for Patent

- 5        1. A solid state image pickup device of a type of detecting an amount of stored/discharged charges by a light receptive element formed on an insulating substrate, characterized in that a capacitor is provided with an upper electrode in parallel with said light receptive element by oxidizing a portion of a lower electrode of the light receptive element.
- 10       2. The solid state image pickup device according to claim 1 characterized in that an amorphous silicon is used as the light receptive element, chromium or aluminum is used as the lower electrode and an additional capacitance of an oxide film is formed simultaneously with photoetching the amorphous silicon film.

### 15    3. Detailed Description of the Invention

"Field of the Invention in Industry"

The present invention relates to a solid state image pickup device utilizing solid state image pickup elements.

"Prior art"

- 20       Conventionally, CCD type or MOS type is practicable as a solid state image pickup element. In compared with an image pickup tube, the solid state image pickup element is proof against vibration and clash. The solid state image pickup element is characterized in very little power consumption to be used for a long span. Further, MOS type has bigger
- 25    numerical aperture and has no limit of the amount of transfer charge compared to CCD type, so that a lot of signal can be output. However, MOS type has a defect of occurring a great noise. Fig. 3 shows a drawing of typical MOS type circuit. Referring to the drawing, the cause of noise occurrence will be described. The noise is caused by horizontal MOS FET
- 30    switch which opens or closes a circuit. It is most serious problem, which causes in the case that a wiring capacitance on vertical lines  $V_1$  to  $V_n$  is large and electrode-substrate capacitance of transistors formed on  $V_1$  to  $V_n$  is large, so that noise charge which remains on the lines is read out. There is no comparison between the amount of noise and the capacitance of

the receptive portion, so that the S/N ratio is considerably decreased. In addition to the above mentioned problem of noise, there is one more problem of smear for both CCD type and MOS type. One of reasons is due to occurrence charge caused by light, which is incident upon the other portion in addition to the receptive portion, is signal lines.

Therefore, elements in thin film form is formed by utilizing an insulator as a substrate, so that wiring capacitance is considerably reduced. Further, S/N ratio is increased by forming additional capacitor on the receptive element. For example, as the additional capacitor, a thin film such as  $\text{SiO}_2$  or  $\text{Y}_2\text{O}_3$  is deposited in addition.

#### "Problem To Be Solved by The Invention"

However, in the above mentioned prior art, an additional thin film has to be formed in order to connect a receptive element with an additional capacitor. Therefore, process steps will increase to cause cost up. As a result, noise will be caused because a thin film will not be formed uniformly.

Therefore, the present invention will solve the problem. An object of the present invention is to provide a solid state image pickup device having an additional capacitor with high evenness in parallel with the receptive element without increasing the process steps.

#### "Means To Solve The Problem"

The solid state image pickup device in the present invention is characterized in that the additional capacitor with high evenness can be easily formed in parallel with the receptive element by a method wherein a part of lower electrode of receptive element is oxidized by utilizing receptive element portion as a mask to provide a capacitor between upper and lower electrodes.

In particular, the present invention is utilized an oxidation film formed by a method wherein receptive element is performed photoetching by the technique of dry etching using Freon gas comprising oxygen. Moreover, the present invention utilizes an amorphous silicon for the portion of receptive element and a polycrystalline silicon for the drive portion, respectively. Through these procedures, the solid state image pickup device having small amount of smear can be formed increasing sensitivity and saturated light quantity.

#### "Performance"

According to the above mentioned structure in the present invention, an oxidation film formed on lower electrode of a receptive element will be

an additional capacitor between lower electrode and upper electrode. As a result, the solid state image pickup element having small noise will be formed increasing saturated light quantity and S/N ratio.

"Example"

5 Fig. 1 shows a configuration drawing in accordance with the present example of the present invention. Any receptive element or switching element can be used for a semiconductor substrate. In the present invention, an amorphous silicon photodiode is used as a receptive element, and poly-silicon TFT is used as a switching element, respectively. Fig. 2  
10 shows an equivalent circuit of Fig. 1. In Fig. 1, (a) shows a cross sectional view and (b) shows a plan view. Process steps will be described as follows. A non-doped polycrystalline silicon layer 102 is formed on an insulating substrate 101 such as quartz glass and after forming a gate insulating film by thermal oxidation, a second polycrystalline silicon 103 to be a gate  
15 electrode, is formed to be also a gate line. Subsequently, ion is implanted to provide a source and drain electrode. Then, after forming  $\text{SiO}_2$  or the like as an interlayer insulating film 104, a contact hole is formed and a vertical line 105 is formed with a conductive material such as Al, upon which a polyimide resin or the like 106 is formed for leveling as an interlayer  
20 insulating film. Usually, poly-silicon TFTs are formed by the above mentioned method. Significant process steps according to the present invention will be described as follows. After forming a contact hole on the interlayer insulating film, a conductive thin film 107 is formed by using such as Cr or Al as lower electrode of pixel. This conductive thin film 107  
25 should be easily oxidized and the oxide film should be high resistivity and dense since it is oxidized after the formation of the receptive film 108 using the receptive film(a photo resist may be disposed thereon) as a mask in order to form an additional capacitor. As an oxidation method, it can be considered various kinds of method, however, in case that a receptive film  
30 108 is etched by plasma using oxygen and Freon, an oxidation film 109 is formed as a necessary result, so that there is no need to add oxidation process. After oxidation by the method, oxide plasma treatment may be further conducted, or oxidation with thermal nitric acid or steam oxidation may be conducted. Table 1 shows a characteristic example of forming a  
35 lower electrode 107 by using oxidation of Cr and Al-Si and in accordance with the present example. Here, the receptive film thin 108 is an amorphous silicon (referred to a-Si, hereinafter) formed by GD plasma CVD,

and 110 may be any transparent conductive electrode (upper electrode), here, ITO.

Table 1

CONDITION	ELEMENT CAPACITY (pF/100 $\mu$ m <sup>2</sup> )	INSULATION PROPERTY
(1) a-Si is etched by using CF <sub>4</sub> +O <sub>2</sub>	0.2	good
(2) O <sub>2</sub> plasma treatment in addition to (1)	0.5	best
(3) thermal nitrate treatment in addition to (1)	0.5	good
(4) using Al-Si as electrode with condition (2)	0.2	regular
(5) oxidation by steam using Al-Si as electrode	0.3	good

Note) An electrode used in conditions (1) to (3) is Cr.

5 In the table 1, an amount of the element capacity is calculated by adding capacitance of a-Si to additional capacitor of an oxidation film. The capacitance of a-Si is approximately 0.01pF/100 $\mu$  m<sup>2</sup>. Regarding to the uniformity, the condition (3) is best of all. Under the condition (3), dispersion of all elements is within a range of  $\pm 1\%$ , and under the other  
10 conditions, it is within a range of  $\pm 2.5\%$ . In any way, it is easier than the case of forming SiO<sub>2</sub> or dielectric thin film in additional process and probability of dispersion is small. (in case of SiO<sub>2</sub>, the dispersion is within a range of  $\pm 5\%$ )

15 Referring to the equivalent circuit in Fig. 2, through the above mentioned process, the circuit is provided with an additional capacitor Ca in parallel with the receptive element Di1.

Moreover, metal is used as a lower electrode in the above mentioned example. Instead of using the metal, by using low resistance amorphous silicon which is doped impurities, an oxidation may be performed to form  
20 SiO<sub>2</sub> in order to use the SiO<sub>2</sub> as an additional capacitor.

"The effect of the Invention"

As mentioned above, according to the present invention, since the additional capacitor having a high uniformity can be formed extremely

easily and inexpensively without increasing the process steps by using the pattern of a thin film receptive element as a mask, it is possible to easily obtain excellent solid image pickup devices with low cost having a large S/N ratio and a large saturated light quantity.

5        4. Brief Explanation of The Drawings

Fig. 1 is example of a solid state image pickup device in the present invention wherein (a) is a cross sectional view and (b) is a plan view.

Fig. 2 is a equivalent circuit drawing of the example.

10       Fig. 3 is a usual circuit drawing of MOS type solid state image pickup device.

101---substrate

103---gate electrode

105---vertical line

107---lower electrode

15    108---receptive thin film

109---oxidation film

110---upper electrode

Applicant    Suwa seiko-sha  
Attorney     Tsutomu Mogami